

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-326829

(43)Date of publication of application : 08.12.1998

(51)Int.Cl.

H01L 21/768

H01L 21/316

H01L 21/3205

(21)Application number : 09-134183

(71)Applicant : FUJITSU LTD

(22)Date of filing : 23.05.1997

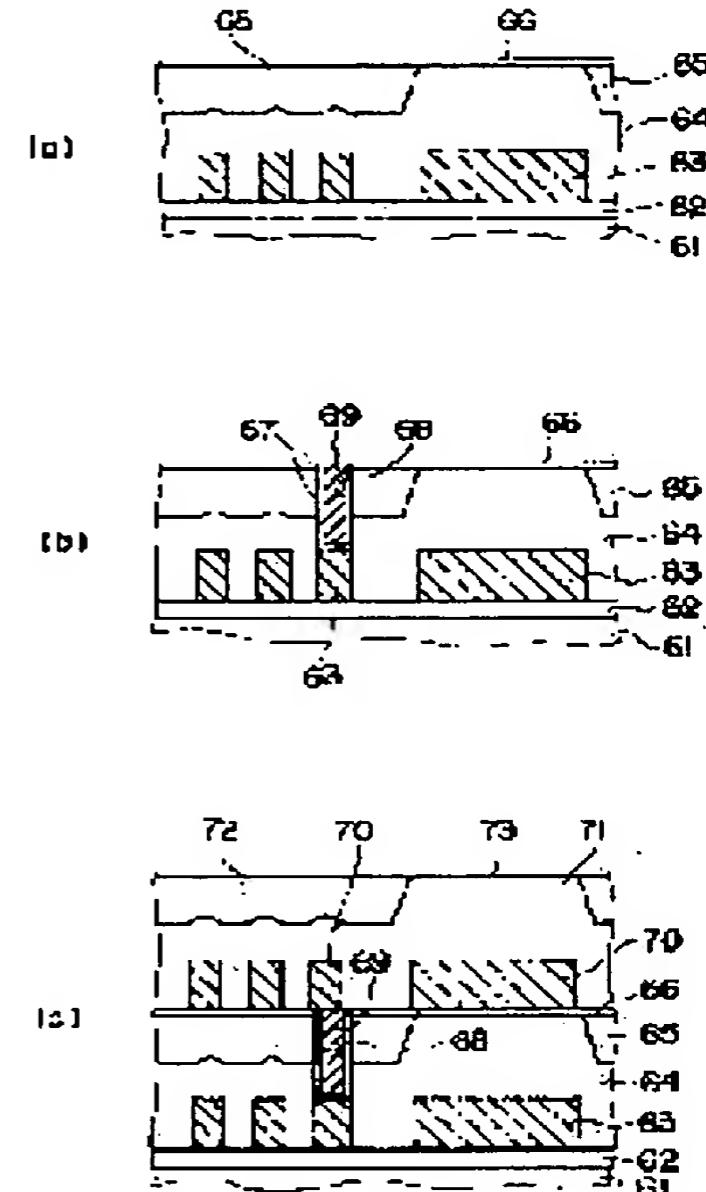
(72)Inventor : KUDO HIROSHI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce an inter-wiring capacity in film-thickness direction in such region as of high wiring density, and to prevent a metal film from peeling from an interlayer insulating film comprising a silicon oxide containing fluorine, relating to a method for manufacturing a semiconductor device which comprises a formation process for a multilayered interconnection structure.

**SOLUTION:** After a silicon oxide film 64 which, containing fluorine, covers a wiring 63 is covered with an insulating film 65 of SiO<sub>2</sub>, the insulating film 65 is polished to be planarized until part of the silicon oxide film 64 containing fluorine is exposed, then an insulating cap film 66 for preventing moisture-absorption such as SiO<sub>2</sub> which covers the exposed fluorine-containing silicon oxide film 64 is formed.



## LEGAL STATUS

[Date of request for examination] 09.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3676034

[Date of registration] 13.05.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-326829

(43)公開日 平成10年(1998)12月8日

(51)Int.Cl.<sup>6</sup>

H 01 L 21/768  
21/316  
21/3205

識別記号

F I

H 01 L 21/90 B  
21/316 X  
21/88 K  
21/90 M

審査請求 未請求 請求項の数15 ○L (全 14 頁)

(21)出願番号

特願平9-134183

(22)出願日

平成9年(1997)5月23日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 工藤 寛

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

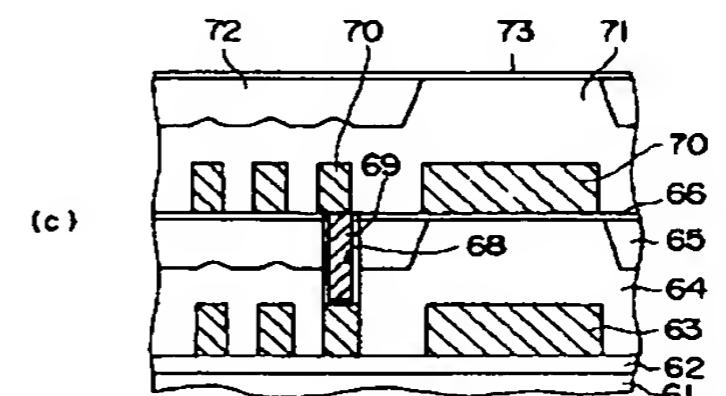
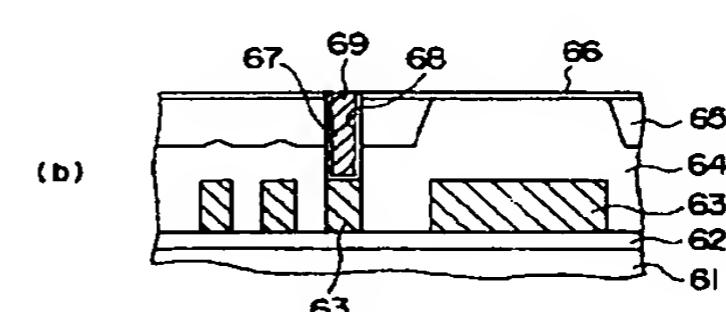
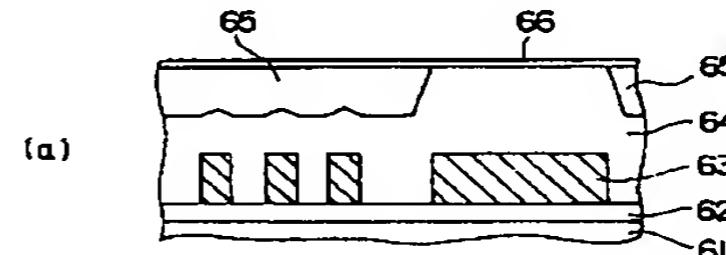
(74)代理人 弁理士 岡本 啓三

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】多層配線構造の形成工程を含む半導体装置の製造方法に関し、配線密度の高い領域における膜厚方向の配線間容量を低減し且つフッ素含有酸化シリコンを有する層間絶縁膜の上の金属膜の剥がれを防止すること。

【解決手段】配線63を覆うフッ素含有シリコン酸化膜64をSiO<sub>2</sub>のような絶縁膜65で覆った後に、フッ素含有シリコン酸化膜64の一部が露出するまで絶縁膜65を研磨して平坦化した後に、露出したフッ素含有シリコン酸化膜64を覆うSiO<sub>2</sub>のような吸湿防止用の絶縁性キップ膜66を形成して構成される。



## 【特許請求の範囲】

- 【請求項1】半導体基板上に配線を形成する工程と、誘電率3.5以下のフッ素含有シリコン酸化膜により前記配線を覆う工程と、前記フッ素含有シリコン酸化膜上に、前記フッ素含有シリコン酸化膜とは異なる材料の絶縁膜を成長する工程と、前記絶縁膜の表面から研磨を開始して前記絶縁膜と前記フッ素含有シリコン酸化膜を研磨して平坦化する工程と、前記絶縁膜の面と研磨によって露出した前記フッ素含有シリコン酸化膜の上に、前記フッ素含有シリコン酸化膜とは異なり、前記フッ素含有シリコン酸化膜よりは吸湿性の低い材料よりなる絶縁性キャップ膜を成長する工程とを有することを特徴とする半導体装置の製造方法。
- 【請求項2】前記絶縁膜及び絶縁性キャップ膜は酸化シリコンの成長によって形成されることを特徴とする請求項1記載の半導体装置の製造方法。
- 【請求項3】前記絶縁性キャップ膜を形成する前に、前記フッ化含有シリコン酸化膜を300℃以上の温度でアニールすることを特徴とする請求項1記載の半導体装置の製造方法。
- 【請求項4】半導体基板上に配線を形成する工程と、誘電率3.5以下の第一のフッ素含有シリコン酸化膜によって前記配線を覆う工程と、前記第一のフッ素含有シリコン酸化膜上に、誘電率3.6以上の第二のフッ素含有シリコン酸化膜を成長する工程と、前記第二のフッ素含有シリコン酸化膜の表面から研磨を開始して少なくとも前記第二のフッ素含有シリコン酸化膜を平坦化する工程と、研磨された少なくとも前記第二のフッ素含有シリコン酸化膜の上に、前記第一及び第二のフッ素含有シリコン酸化膜とは異なり、前記第一及び第2のフッ素含有シリコン酸化膜よりも吸湿性の低い材料よりなる絶縁性キャップ膜を成長する工程とを有することを特徴とする半導体装置の製造方法。
- 【請求項5】前記絶縁性キャップ膜を成長する前に、前記第一及び第二のフッ素含有シリコン酸化膜を300℃以上の温度でアニールすることを特徴とする請求項4記載の半導体装置の製造方法。
- 【請求項6】半導体基板上に配線を形成する工程と、誘電率3.5以下のフッ素含有シリコン酸化膜によって前記配線を覆う工程と、前記フッ素含有シリコン酸化膜を研磨してその上面を平坦化する工程と、前記フッ素含有シリコン酸化膜の平坦化された面上に、前記フッ素含有シリコン酸化膜とは異なり、前記フッ素含有シリコン酸化膜よりも吸湿性の低い材料よりなる絶縁性キャップ膜を成長する工程とを有することを特

徴とする半導体装置の製造方法。

【請求項7】前記絶縁性キャップ膜は酸化シリコン又は窒化シリコンの成長によって形成されることを特徴とする請求項1、4又は6記載の半導体装置の製造方法。

【請求項8】前記絶縁性キャップ膜を成長する前に、前記フッ素含有シリコン酸化膜を300℃以上の温度でアニールすることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項9】半導体基板上の第一の配線領域と第二の配線領域にそれぞれ形成された配線と、

前記配線を覆うフッ素含有シリコン酸化膜と、前記第一の配線領域で前記フッ素含有シリコン酸化膜を覆い、且つ前記フッ素含有シリコン膜とは材料の異なる絶縁膜と、

前記第二の配線領域で前記フッ素含有シリコン酸化膜上に形成され、前記第一の配線領域で前記絶縁膜上に形成され、且つ前記フッ素含有シリコン酸化膜とは異なり、前記フッ素含有シリコン酸化膜よりも吸湿性の低い材料よりなる絶縁性キャップ膜とを有することを特徴とする半導体装置。

【請求項10】前記絶縁膜はシリコン酸化膜であることを特徴とする請求項9に記載の半導体装置。

【請求項11】前記絶縁性キャップ膜はシリコン酸化膜又はシリコン窒化膜であることを特徴とする請求項9に記載の半導体装置。

【請求項12】半導体基板上の第一の配線領域と第二の配線領域にそれぞれ形成された配線と、

前記第一の配線領域と前記第二の配線領域の前記配線を覆う第一のフッ素含有シリコン酸化膜と、

前記第一の配線領域で前記第一のフッ素含有シリコン酸化膜を覆い、且つ前記第一のフッ素含有シリコン酸化膜よりもフッ素含有量の少ない第二のフッ素含有シリコン酸化膜と、

前記第一の配線領域で前記第二のフッ素含有シリコン酸化膜の上に形成され、前記第二の配線領域で前記第一のフッ素含有シリコン酸化膜上に形成され、且つ前記第一及び第二のフッ素含有シリコン酸化膜とは異なり、前記第一及び第二のフッ素含有シリコン酸化膜よりも吸湿性の低い材料よりなる絶縁性キャップ膜とを有することを特徴とする半導体装置。

【請求項13】前記第一のフッ素含有シリコン酸化膜は誘電率3.5以下であることを特徴とする請求項12に記載の半導体装置。

【請求項14】前記第二のフッ素含有シリコン酸化膜は誘電率3.6以上であることを特徴とする請求項12に記載の半導体装置。半導体基板上に形成された配線と、

【請求項15】前記絶縁性キャップ膜は、シリコン酸化膜又はシリコン窒化膜であることを特徴とする請求項12に記載の半導体装置。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、多層配線構造を含む半導体装置と、多層配線構造の形成工程を含む半導体装置の製造方法に関する。

## 【0002】

【従来の技術】近年、半導体装置の高集積化、高速化の要求から、半導体装置における多層配線層用の絶縁層材料の見直しが行われている。二酸化シリコン ( $\text{SiO}_2$ ) は従来から用いられてきた半導体装置の絶縁材料であるが、誘電率が 4.2 と高いために配線間の寄生容量が大きく、これによって配線の信号伝播遅延時間を長くしている。信号伝播遅延の増大は半導体装置の動作速度を低下させる要因である。今後、微細化が進むと配線間の距離がますます短くなるため、寄生容量がさらに大きくなり信号伝播遅延時間の増大が問題になる。

【0003】次に、 $\text{SiO}_2$  を層間絶縁膜として用いた場合の、多層配線構造の形成方法について簡単に説明する。まず、図 10(a) に示す様に、シリコン基板 101 上でパターンニングされた配線 103 上に CVD (Chemical Vap or Deposition) により第一の  $\text{SiO}_2$  膜 104 を例えば 700 0 Å の厚さに成長して配線を埋め込む。その第一の  $\text{SiO}_2$  膜 104 の膜厚は、配線密度が高い領域では薄く、パッドなどを有する配線密度が低い領域では厚くなる。続いて、第二の  $\text{SiO}_2$  膜 105 を例えば 14000 Å の厚さに形成する。これら第一及び第二の  $\text{SiO}_2$  膜 104, 105 を層間絶縁膜として用いる。この場合、第一の  $\text{SiO}_2$  膜 104 の成長は、横方向の配線相互間を完全に埋め込むような条件とし、第二の  $\text{SiO}_2$  膜 105 の成長は凹凸があまり生じないような条件にする。

【0004】次に、図 10(b) に示すように、第二の  $\text{SiO}_2$  膜 105 を CMP (Chemical Mechanical Polishing) によって研磨して平坦化する。続いて第一及び第二の  $\text{SiO}_2$  膜 104, 105 にビアホール 106 を開口し、さらに、ビアホール 106 の底部に TiN グルーレイヤーを成長し、タンゲステン、アルミニウム等の導電材によりコンタクトホール 106 を埋め込むプラグを成長する。CMP によって研磨したのは、第一の  $\text{SiO}_2$  膜 104 の成長条件では、第一の  $\text{SiO}_2$  膜 104 が配線密度が高い領域では薄くなり、低い領域では厚く成長するからである。これにより生じた凹凸は第二の  $\text{SiO}_2$  膜 105 にもまた凹凸を生じさせるからである。

【0005】このような工程を 2 度繰り返すと、図 10(c) に示すような二層構造の  $\text{SiO}_2$  よりなる二層の配線層が形成される。配線間の寄生容量を小さくするためには層間絶縁膜材料として誘電率の小さい物質を用いることが有効であり、これにより、信号伝播遅延時間を短くすることができる。例えば、フッ素 (F) を二酸化シリコンに添加してなる酸化フッ化シリコン ( $\text{SiOF}$ ) 膜は誘電率が低く、この材料を多層配線の絶縁膜に適用することで、配線間の寄生容量を低減することができ、デバイス

の高速化が図れる。

【0006】これまで、 $\text{SiOF}$  は吸湿性が高く、水分を吸収すると誘電率が高くなってしまい層間絶縁用の材料として有効でなくなる。その吸湿を抑制するために、 $\text{SiOF}$  成長時の酸素 ( $\text{O}_2$ ) の分圧を高くし、又は  $\text{SiOF}$  成膜後にプラズマアニールを行い、又は  $\text{SiOF}$  成長時のプラズマ密度とエネルギーを制御することなどが報告されている。

【0007】しかし、 $\text{SiOF}$  の誘電率を 3.5 以下にしようとすると吸湿性が高くなるので、そのような方法によつてもその吸湿を制御することが困難になる。また、その吸湿性によって水が  $\text{SiOF}$  膜中に含まれるようになると、その上に形成される金属配線の腐食されるおそれがある。それらの問題は  $\text{SiO}_2$  による  $\text{SiOF}$  膜のキャッピングによって回避することが可能であり、そのことは既に特開平 7-74245 によって提案されている。ここで提案されている多層形成方法は、従来からある平行平板型のプラズマ CVD 装置を用い、シリコン (Si) 源としてテトラエチルオルソシリケート (TEOS)、F 源にトリエトキシフルオロシラン (TEFS) 又は三フッ化窒素 ( $\text{NF}_3$ ) を用いたものである。平行平板型のプラズマ CVD やこれらの反応系は、配線間隔が広く配線のアスペクト比が低い世代 (デザインルールで言えば 0.35 μm 以前) の半導体装置に対しては適用が可能であるが、これ以後は他の技術が必須となる。

【0008】HDP (High Density Plasma) - CVD は、配線間隔が狭くてアスペクト比が高い横方向の配線の相互間に絶縁膜を介在させるための CVD 技術である。また、その絶縁膜を平坦化するために、CMP とよばれる研磨法が適用される。デザインルール 0.25 μm 以後の多層配線形成技術として HDP - CVD と CMP の組み合わせが有効と考えられているが、 $\text{SiOF}$  を用いる配線間の低容量化は十分に達成されていない。

【0009】そこで、以下に、 $\text{SiOF}$  を用いた場合の多層層間絶縁膜の形成方法について説明する。まず、図 11(a) に示す様に、シリコン基板 101 の上に配線 103 をパターンニングした後に、HDP - CVD により  $\text{SiOF}$  膜 110 を例えば 7000 Å の厚さに成長してその配線 103 を覆う。その  $\text{SiOF}$  膜 110 の膜厚は、配線密度の高い領域では薄く、パッドなどを有する配線密度の低い領域では厚くなる。

【0010】次に、図 11(b) に示すように  $\text{SiO}_2$  膜 111 を例えば 14000 Å の厚さに形成する。その  $\text{SiO}_2$  膜 111 の成長は平行平板型 CVD および HDP - CVD のどちらでもよい。図 11(b) は HDP - CVD を用いた場合の絶縁膜の凹凸形状を示している。平行平板型 CVD では、配線上に形成される絶縁膜の凹凸が HDP よりも幾分なだらかになる程度で大差はない。

【0011】このままの状態で、さらに複数の配線と層間絶縁膜を重ねると、凹凸による段差が生じやすい。そのような段差をなくすために、CMP 技術が用いられ

る。そこで、図11(c)に示すように、CMPによってSiO<sub>2</sub>膜111の表面を研磨して平坦化する。このとき、密度の低い配線上のSiOF膜110が露出しないように研磨量を設定しなければならない。これは、SiOF膜110が露出すると、その後の工程で形成される金属膜がSiOF膜110から剥がれ易くなるからである。

【0012】続いて、図12(a)に示すように、SiO<sub>2</sub>膜111及びSiOF膜110にビアホール112を開口し、さらにビアホール112の底部にTiNグルーレイヤー113を成長し、タングステンプラグ114によってビアホール112を埋め込む。このような工程を2度繰り返すと、図12(b)に示すような二層の配線層が形成される。

#### 【0013】

【発明が解決しようとする課題】ところで、図12(b)に示すような配線構造において、配線密度の高い領域では配線密度の低い領域に比べてSiOF膜の厚さに対するSiO<sub>2</sub>膜の厚さの割合が大きくなるので、次のような問題が生じる。即ち、横方向の配線相互間T<sub>1</sub>はSiOF膜の介在によって寄生容量が小さくなるが、膜厚方向の配線相互間T<sub>2</sub>は大部分がSiO<sub>2</sub>となるために、この領域での膜厚方向の配線間の寄生容量が高くなってしまう。これにより、SiOF膜による配線容量の低容量化の効果が薄れてしまう。

【0014】これに対して、SiO<sub>2</sub>膜111のかわりにSiOF膜を用いることが考えられるが、そのSiOF膜の誘電率が3.5以下の場合にSiOF膜上に、直接グルーレイヤーであるTiN膜を成長し、さらにビアホール内を充填するタングステン(W)を成長することを考えられる。しかし、SiOF膜とTiN膜との界面ではそれらの密着性が弱く、さらにタングステンの強い膜ストレスによりタングステン膜がSiOF膜から剥がれ易くなる。SiOF膜とTiN膜の密着性の低下は、SiOF膜中のFとTiNとが界面で反応するために起こる。

【0015】また、高密度配線上でのSiO<sub>2</sub>膜の割合を少なくするために、SiOF膜を厚くすることも考えられるが、これではビアホールのアスペクト比が大きくなつて、プラグに欠陥が生じるおそれがある。本発明の目的は、配線密度の高い領域における膜厚方向の配線間容量を低減し且つフッ素含有酸化シリコンを有する層間絶縁膜の上の金属膜の剥がれを防止することができる半導体装置とその製造方法を提供することにある。

#### 【0016】

##### 【課題を解決するための手段】

###### (手段)

上記した課題は、図3、図4に例示するように、半導体基板61上に配線63を形成する工程と、誘電率3.5以下のフッ素含有シリコン酸化膜64によって前記配線63を覆う工程と、前記フッ素含有シリコン酸化膜64とは異なる材料の絶縁膜65を成長する工程と、前記絶縁膜65の表

面から研磨を開始して前記絶縁膜65と前記フッ素含有シリコン酸化膜64を研磨して平坦化する工程と、前記絶縁膜65の面と研磨により露出した前記フッ素含有シリコン酸化膜64の上に、前記フッ素含有シリコン酸化膜64とは異なり、前記フッ素含有シリコン酸化膜64よりも吸湿性の低い材料となる絶縁性キャップ膜66を成長する工程とを有することを特徴とする半導体装置の製造方法によって解決する。この場合、前記絶縁膜65は酸化シリコンの成長によって形成されることを特徴とする。また、前記絶縁性キャップ膜66は酸化シリコン又は窒化シリコンの成長によって形成されることを特徴とする。さらに、前記絶縁性キャップ膜66を形成する前に、前記フッ素含有シリコン酸化膜64を300℃以上の温度でアニールすることを特徴とする。

【0017】上記した課題は、図5に例示するように、半導体基板61上に配線63を形成する工程と、誘電率3.5以下の第一のフッ素含有シリコン酸化膜64aによって前記配線63を覆う工程と、前記第一のフッ素含有シリコン酸化膜64a上に誘電率3.6以上の第二のフッ素含有シリコン酸化膜65aを成長する工程と、前記第二のフッ素含有シリコン酸化膜65aの表面から研磨を開始して少なくとも第二のフッ素含有シリコン酸化膜65aを平坦化する工程と、研磨された少なくとも前記第二のフッ素含有シリコン酸化膜65aの上に、前記第一及び第二のフッ素含有シリコン酸化膜とは異なり、前記第一及び第二のフッ素含有シリコン酸化膜よりも吸湿性の低い材料となる絶縁性キャップ膜66aを成長する工程とを有することを特徴とする半導体装置の製造方法により解決する。この場合、前記絶縁性キャップ膜66aは酸化シリコン又は窒化シリコンの成長によって形成されることを特徴とする。また、前記絶縁性キャップ膜66aを成長する前に、前記第一及び第二のフッ素含有シリコン酸化膜64a、65aを300℃以上の温度でアニールすることを特徴とする。

【0018】上記した課題は、図6、図7に例示するように、半導体基板81上に配線83を形成する工程と、誘電率3.5以下のフッ素含有シリコン酸化膜84によって前記配線83を覆う工程と、前記フッ素含有シリコン酸化膜84を研磨してその上面を平坦化する工程と、平坦化された前記フッ素含有シリコン酸化膜84の平坦化された面の上に、前記フッ素含有シリコン酸化膜84とは異なり、前記フッ素含有シリコン酸化膜84よりも低い吸湿性の材料となる絶縁性キャップ膜85を成長する工程とを有することを特徴とする半導体装置の製造方法により解決する。この場合、前記絶縁性キャップ膜85は酸化シリコン又は窒化シリコンの成長によって形成されることを特徴とする。また、前記絶縁膜85を成長する前に、前記フッ素含有シリコン酸化膜84を300℃以上の温度でアニールすることを特徴とする。

【0019】上記した課題は、図4(b)に例示するよう

に、半導体基板61上の第一の配線領域63aと第二の配線領域63bにそれぞれ形成された配線63と、前記配線63を覆うフッ素含有シリコン酸化膜64と、前記第一の配線領域63aで前記フッ素含有シリコン酸化膜64を覆い且つ前記フッ素含有シリコン膜64とは材料の異なる絶縁膜65と、前記第二の配線領域63bで前記フッ素含有シリコン酸化膜64上に形成され、前記第一の配線領域63aで前記絶縁膜65上に形成され、且つ前記フッ素含有シリコン酸化膜64とは異なり、前記フッ素含有シリコン酸化膜よりも吸湿性の低い材料となる絶縁性キャップ膜66を有することを特徴とする半導体装置によって解決する。この場合、前記フッ素含有シリコン酸化膜は誘電率3.5以下であることを特徴とする。また、前記絶縁膜65はシリコン酸化膜であることを特徴とする。また、前記絶縁性キャップ膜66はシリコン酸化膜又はシリコン窒化膜であることを特徴とする。

【0020】上記した課題は、図5(c)に例示するように、半導体基板61上の第一の配線領域63aと第二の配線領域63bにそれぞれ形成された配線63と、前記第一の配線領域63aと前記第二の配線領域63bの前記配線63を覆う第一のフッ素含有シリコン酸化膜64aと、前記第一の配線領域63aで前記第一のフッ素含有シリコン酸化膜64aを覆い且つ前記第一のフッ素含有シリコン酸化膜64aよりもフッ素含有量が少ない第二のフッ素含有シリコン酸化膜65aと、前記第一の配線領域63aで前記第二のフッ素含有シリコン酸化膜65aの上に形成され、前記第一のフッ素含有シリコン酸化膜64aの上に形成され、且つ前記第一及び第二のフッ素含有シリコン酸化膜64a, 65aとは異なる材料よりもなる防湿用の絶縁性キャップ膜66aとを有することを特徴とする半導体装置により解決する。この場合、前記第一のフッ素含有シリコン酸化膜64aは誘電率3.5以下であることを特徴とする。また、前記第二のフッ素含有シリコン酸化膜65aは誘電率3.6以上であることを特徴とする。さらに、前記絶縁性キャップ膜66aは、シリコン酸化膜又はシリコン窒化膜であることを特徴とする。

【0021】上記した半導体装置において、前記半導体基板と前記配線の間には絶縁性下地膜が形成されていることを特徴とする。また、前記絶縁性キャップ膜の上にはさらに別の配線が形成されることを特徴とする。次に、本発明の作用について説明する。本発明によれば、配線を覆うフッ素含有シリコン酸化膜(SiOF膜)をさらに別の材料のSiO<sub>2</sub>等の絶縁膜で覆った後に、SiOF膜の一部が露出するまでその絶縁膜を研磨して平坦化した後に、露出したSiOF膜を覆う吸湿防止用の絶縁キャップ膜を形成している。

【0022】したがって、SiOF膜は、絶縁膜と絶縁性キャップ膜によって大気からの水分の吸収が妨げられる。

また、層間絶縁膜を構成するSiOF膜の上に直に金属膜が形成されることはないので、その層間絶縁膜上に形成される金属膜の剥がれが防止される。さらに、SiOF膜が露出するまでその上の絶縁膜を研磨により薄くしているので、層間絶縁膜に占めるSiOF膜の膜厚の割合を大きくして配線間の寄生容量を効果的に低量化できる。

【0023】さらに、層間絶縁膜を単層又は複数のSiOF膜から形成し、少なくともその最上層を研磨することにより平坦化するとともに、その上を吸湿防止用の絶縁性キャップ膜によって覆うようにした。したがって、絶縁性キャップ膜によって大気からのSiOF膜の水分吸収が妨げられる。しかも、層間絶縁膜を構成するSiOF膜の上に直に金属膜が形成されなくなるので、層間絶縁膜上の金属膜の剥がれを防止できる。

【0024】さらに、SiOF膜が多層構造の場合に、最上のSiOF膜のフッ素含有量を少なくしているので、その最上のSiOF膜によって大気からの水分の吸収が抑制される。さらに、その最上のSiOF膜を研磨することによって層間絶縁膜に占める高誘電率のSiOF膜の膜厚を薄くしているので、配線間の寄生容量の効果的な低量化を可能にする。

#### 【0025】

【発明の実施の形態】そこで、以下に本発明の実施形態を図面に基づいて説明する。本発明の半導体装置での多層配線層形成を説明する前に、本発明の層間絶縁膜の成長に使用する平行平板型プラズマCVD装置とECR(Electron Cyclotron Resonance)-CVD装置の構成の概略と、それらの装置による絶縁膜の成膜条件、および絶縁膜の誘電率の一例を説明する。

#### 30 【0026】平行平板型プラズマCVD装置

図1は、半導体装置の製造工程において使用される平行平板型プラズマCVD装置の概略図である。平行平板型プラズマCVD装置において、密閉された反応室1の内部は真空パイプ2を経由して真空ポンプ3によって排気される。その排気による反応室1内の到達真空度は例えば0.01Torrである。反応室1の内部では、半導体ウェハーウーWを設置する第一の電極4が取付けられ、その第一の電極4に対向した位置には、半導体基板Wに原料ガスを噴出するシャワーへッド5が配置されている。そのシャワーへッド5は第二の電極として機能し、そこには例えば13.56MHzの高周波電源6が接続されている。

【0027】また、反応室1内又は第一の電極4の下には、半導体基板Wを加熱するための加熱手段7、例えばランプが配置されている。反応室1には、原料ガス供給配管8、第一のマスフローコントローラ9及び第一の配管10を介してC<sub>2</sub>F<sub>6</sub>ボンベ11が接続されていて、C<sub>2</sub>F<sub>6</sub>ガスの反応室1への流量はマスフローコントローラ9によって制御される。

【0028】また、反応室1には、原料ガス供給配管8、第二のマスフローコントローラ12及び第二の配管

9

13を介してO<sub>2</sub>ボンベ14が接続されていて、O<sub>2</sub>ガス流量はマスフローコントローラ12によって制御される。さらに、反応室1には、原料ガス供給配管8、気化器15、液体マスフローコントローラ16及び給液管17を介してTEOS源18が接続されている。

【0029】TEOS源18は、TEOS液19を収容する容器20と、ヘリウム源21から圧縮したヘリウム(He)ガスを容器20に送り込む第三の配管22とを有しており、容器20内のTEOS液19には給液管17が差し込まれている。そして、TEOS液19を気化器15に供給する場合には、ヘリウム源21から圧力0.5～1.0kg/cm<sup>2</sup>でHeガスを第三の配管22に送り込み、容器20内の圧力によって給液管17にTEOS液19が送り込まれる。そのTEOS液19の供給量は液体マスフローコントローラ16によって制御される。

【0030】液体マスフローコントローラ16によって制御されたTEOS液19は、気化器15内で気化されてTEOSガスとなる。その気化器15には、第四の配管23及び第三のマスフローコントローラ24を介してHeボンベ25が接続され、Heガスの導入量は第三のマスフローコントローラ24によって制御される。気化器15に送られたHeガスは、気化器15内でTEOSガスとともに原料ガス供給配管8を介して反応室1に送り込まれる。そのHeガスは、TEOS用のキャリアガスの役目をするもので、TEOSガスの供給量を安定化するために使用される。

【0031】TEOSガスが流れる原料ガス供給配管8の周囲には、TEOSガスの液化を防止するためのヒーター26が巻かれており、原料ガス供給管8はヒータ26によって例えば100℃に加熱されている。このように、バブラーを用いずに気化したガスを直に反応室1内に供給する方法をダイレクト・インジェクションと言う。なお、以下の説明では、TEOSガスの流量については、Heガスを含まない値を示している。

【0032】上述した平行平板型プラズマCVD装置によってSiOF膜を半導体基板W上に成長する場合には、TEOSガスの供給と同時にC<sub>2</sub>F<sub>6</sub>ガス及びO<sub>2</sub>ガスを反応室1内に供給し、高周波電源6によって第一の電極4とシャワーヘッド(第二の電極)5の間に高周波電力を印加することによって反応室1内にそれぞれのガスのプラズマを発生させる。

【0033】また、半導体基板W上にSiO<sub>2</sub>膜を形成する場合には、TEOSガスの供給と同時にO<sub>2</sub>ガスを反応室1内に供給し、高周波電源6によって第一の電極4とシャワーヘッド(第二の電極)5の間に高周波電力を印加することによって反応室1内にそれらのガスのプラズマを発生させる。次に、SiOF成長条件の一例を表1に示し、またSiO<sub>2</sub>成長条件を表2に示す。

【0034】

【表1】

10	
TEOS	30mg/min.
O <sub>2</sub>	600 sccm
C <sub>2</sub> F <sub>6</sub>	210 sccm
RFパワー	1.8W/cm <sup>2</sup>
圧力	5.0 Torr
プレート温度	400℃

【0035】

【表2】

10	
TEOS	30mg/min.
O <sub>2</sub>	600 sccm
RFパワー	1.8W/cm <sup>2</sup>
圧力	5.0 Torr
プレート温度	400℃

【0036】なお、表1の条件で成長させたSiOF膜の誘電率は3.6となり、表2の条件で成長させたSiO<sub>2</sub>膜の誘電率は4.2となった。

#### 20 ECR-CVD装置

第2図は本発明に関するECR-CVD装置の概略図である。ECR-CVD装置はプラズマ室31と反応室32を有し、プラズマ室31にはマイクロ波導波管34を介してマイクロ波電源33が接続されていて、マイクロ波電源33からマイクロ波をプラズマ室31に導入することにより、プラズマ室31内に導入したガスが励起されて、プラズマが形成するようになっている。

【0037】また、反応室32の上方に配置したメインソレノイドコイル(MSC)35によって反応室32内に磁界を発生させることにより、反応室32内のプラズマ密度とエネルギーを增幅するようになっている。そのプラズマ密度とプラズマエネルギーは、メインソレノイドコイル35に流す電流量によって変化させることができる。

【0038】また、プラズマ室31内には、SiO<sub>2</sub>またはSiOFの膜成長のために第一のマスフローコントローラ36、第一のガス管37を介してアルゴン源38が接続され、さらに第2のマスフローコントローラ39、第2のガス管40を介して酸素源41が接続されている。さらに、反応室32には、SiO<sub>2</sub>の膜成長のために第3のマスフローコントローラ42、第3のガス管43を介してシリコン源のSiH<sub>4</sub>ボンベ44が接続され、さらにSiOFの膜成長のために第4のマスフローコントローラ45、第4のガス管46を介してフッ素源のSiF<sub>4</sub>ボンベ47が接続されている。

【0039】なお、第1～第4のマスフローコントローラ36、39、42、45は、ガス流量を制御するものである。さらに、反応室32内ではプラズマ室31の下方にプレート48が配置され、その上には、半導体基板Wを吸着するための静電チャック49が配置されてい

11

る。静電チャック49には13.56MHzの高周波(RF)電源50が接続されていて、RF電極50の印加によって半導体ウエハWとプラズマ室31の間に電位が発生する。この電位によってプラズマ室31からArイオンが加速され、スパッタリング現象が起こる。スパッタリングと原料ガス(SiF<sub>4</sub>, SiH<sub>4</sub>)の堆積が半導体基板W上で協奏的に起こり、後述するように、狭い半導体基板W上の配線間に絶縁膜が埋め込まれる。静電チャック49は抵抗加熱によって例えば200℃まで加熱されているが、スパッタリングによる成膜時の温度は250℃に到達する。

【0040】プレート48の下方にはサブソレノイドコイル(SSC)51が配置されていて、サブソレノイドコイル51はプラズマ室31から発散するプラズマを磁界によって収束させる役割をする。即ち、サブソレノイドコイル51は、そこに流される電流量によってプラズマ形状を変化させる機能を有している。半導体ウエハWを中心に対称形状のプラズマを形成すると、膜厚分布が改善され、半導体装置に与えるプラズマダメージを軽減することができる。

【0041】なお、反応室32にはターボモレキュラーポンプ52が接続されており、これにより反応室32内にあるガスを排気し減圧する。そのECR-CVD装置を用いてSiOF成長を行う条件の一例を表3に示し、SiO<sub>2</sub>成長を行う条件の一例を表4に示す。

#### 【0042】

【表3】

SiF <sub>4</sub>	90 sccm
O <sub>2</sub>	170 sccm
Ar	200 sccm
MSC/SSC	200A/200A
プレート温度	200℃
マイクロ波パワー	1.8kW
高周波電源パワー	2.3kW

#### 【0043】

【表4】

SiH <sub>4</sub>	77 sccm
O <sub>2</sub>	103 sccm
Ar	200 sccm
MSC/SSC	200A/200A
プレート温度	200℃
マイクロ波パワー	1.8kW
高周波電源パワー	2.3kW

【0044】ここで、表3の条件で成長させたSiOF膜の誘電率は3.5、表4の条件で成長させたSiO<sub>2</sub>膜の誘電率は4.2となった。なお、ECR-CVD装置を用いた膜の成長は、平行平板型プラズマCVD装置を用いて膜を形成する場合に比べて高密度の配線層間を埋める能力が高い。次に、上記した装置を用いた配線構造の形成

12

方法を示す。なお、以下に示す膜厚は、特に領域を特定しない場合には、パッドのような幅の広い配線上の最も厚い膜厚の部分を示している。

(第1実施形態) 本発明における第一の実施形態を図3、図4に示す。

【0045】まず、図3(a)に示すように、平行平板型のプラズマCVD装置を用いてシリコン基板(半導体基板)61上にSiO<sub>2</sub>よりなる下地絶縁膜62を5000Åの厚さに成長する。続いて、下地絶縁膜62の上に、チタン(Ti)膜を300Å、窒化チタン(TiN)膜を500Å、アルミニウム(AI)膜を6000Å、TiN膜を500Å及びTi膜を300Åの厚さに順に成長する。このような5層の金属膜をパターニングして一層目の配線63を形成する。一層目の配線63の形成領域には、配線幅が狭く且つ配線間隔が狭い高配線密度領域63aと、その逆の低配線密度領域63bがある。

【0046】次に、図3(b)に示すように、ECR-CVD装置を用いて一層目の配線63を覆うための第一のSiOF膜64を14000Åの厚さに成長する。ECR-CVD装置を使用すると、高配線密度領域63aでは薄く、低配線密度領域63bでは厚くなる。この第一のSiOF膜64は、上記した表3に示した条件により成長したものであって誘電率が3.5となっている。

【0047】そのECR-CVD装置によれば、横方向の配線同士の間でArイオンによるエッチング効果を伴って膜が成長するために、横方向の配線同士の間を完全に埋め込む。これにより、第一のSiOF膜64の配線上の膜厚は、高配線密度領域63aで6000Åと薄く、低配線密度領域63bでは14000Å程度と厚くなる。次に、図3(c)に示すように、上記した平行平板型プラズマCVD装置を用いて表2の条件で第一のSiO<sub>2</sub>膜(絶縁膜)65を7000Åの膜厚に形成する。その第一のSiO<sub>2</sub>膜65は、全体にほぼ均一の厚さに成長されるが、その上面にはSiOF膜64の凹凸が反映するので、低配線密度領域63bでの第一のSiO<sub>2</sub>膜65の上面は他の領域の第一のSiO<sub>2</sub>膜65よりも高い位置に存在することになる。

【0048】第二のSiO<sub>2</sub>膜65を平行平板型プラズマCVD装置を用いて成長したのは、ECR-CVD装置を用いる場合よりも膜の成長が速いからである。次に、第一のSiO<sub>2</sub>膜65をCMPによって研磨して、図3(d)に示すように、一層目の配線63の上の絶縁膜(第一のSiOF膜64及び第一のSiO<sub>2</sub>膜65)が一層目の配線63上面から9000Åとなるまで平坦化する。

【0049】低配線密度領域63bで第一のSiOF膜64が露出する場合には、図4(a)に示すように、平行平板型プラズマCVD装置によってSiO<sub>2</sub>よりなる第一の絶縁性キャップ膜66を1000Åの厚さに成長する。次に、図4(b)に示すように、第一のSiOF膜64及び第一のSiO<sub>2</sub>膜65をパターニングして例えば高配線密度領域

63a内の1つの配線63の上にリソグラフィーによりビアホール67を開口する。続いて、ビアホール67内壁に沿ってグルーレイヤー68として窒化チタン(TiN)をスパッタリングによって成長し、続いてCVD法によってプラグ69となるタンゲステン(W)を成長した。それらのグルーレイヤー68とプラグ69はエッチバックによりビアホール67内に残される。ビアホール67の形成は、図のように高密度配線領域63aのみならず低密度配線領域63bに形成される。

【0050】この後に、図3(a)～(d)、図4(a)、(b)の工程をもう1度繰り返して二層目の配線構造を形成する。即ち、第一の絶縁性キャップ膜66の上に二層目の配線70を成長し、さらに二層目の配線70を覆う第二のSiOF膜71を成長し、ついで第二のSiOF膜71を覆う第二のSiO<sub>2</sub>膜72を成長する。その後に、第二のSiO<sub>2</sub>膜72及び第二のSiOF膜71をCMPにより研磨して平坦化する。さらに、研磨により露出した第二のSiOF膜71を覆うためにSiO<sub>2</sub>よりなる第二の絶縁性キャップ膜73を成長する。これにより、図4(c)に示すような断面が得られる。

【0051】なお、そのような多層配線構造において、SiOF膜と絶縁性キャップ膜は層間絶縁として機能する。以上で、二層構造配線の形成が終了するが、その後にさらに三、四層目の配線を形成してもよい。上述した第一及び第二の絶縁性キャップ膜66、73は、第一及び第二のSiOF膜64、71が大気に曝されるのを防止するために形成したものである。仮に、第一の絶縁性キャップ膜66を成長せずに、第一のSiOF膜64の一部を大気に曝した状態で、コンタクトホール67形成に続いてTiN膜とW膜を膜成長すると、第一のSiOF膜64とTiN膜との密着性の悪さに起因して、第一のSiOF膜64とTiN膜の界面でTiN膜が剥がれてしまう。

【0052】しかし、本実施形態では、CMPにより露出した第一及び第二のSiOF膜64、71の吸湿が第一及び第二の絶縁性キャップ膜66、73により阻止される。なお、SiOF膜とSiO<sub>2</sub>膜との密着性は極めて高い。なお、第一及び第二のSiO<sub>2</sub>膜(第一、第二のキャップ膜)66、73の形成前にアニール炉(不図示)で第一及び第二のSiOF膜64、71を300℃以上の温度で加熱するか、或いは、膜成長装置内で300℃以上の温度でプレヒートを行うと、第一及び第二のSiOF膜64、71の吸湿による誘電率の増加が抑制される。本実施形態では後者の方法を30秒間行った。

(第2実施形態) 本発明における第2の実施形態を第5図に示す。

【0053】まず、第1実施形態で説明したと同様な方法により、図5(a)に示すように、シリコン基板上61にSiO<sub>2</sub>よりなる下地絶縁膜62を成長し、その上に一層目の配線63を形成する。この一層目の配線63は、高密度配線領域63aと低密度配線領域63bとを有す

る。この場合の下地絶縁膜62及び一層目の配線63の成長条件について、第1実施形態と同様にする。

【0054】その後に、一層目の配線63上にECR-CVD装置により誘電率3.5の第一のSiOF膜64aを14000Åの厚さに膜成長する。この場合、配線63上の第一のSiOF膜64aは、高密度配線領域63aで6000Åと薄く、低密度配線領域63bで14000Åと厚く成長する。これに続いて、表1の条件で、平行平板型プラズマCVD装置によって誘電率3.6の第二のSiOF膜65aを7000Åの厚さに膜成長した。

【0055】次に、第一及び第二のSiOF膜64a、65aを研磨して一層目の配線63上での膜厚が9000ÅとなるまでCMPにより研磨する。その後に、平坦化された第一及び第二のSiOF膜64a、65aの上にSiO<sub>2</sub>よりなる第一の絶縁性キャップ膜66aを1000Åの厚さに成長する。この第一の絶縁性キャップ66aの形成目的は、第1実施形態と同様に、第一及び第二のSiOF膜64a、65aの吸湿防止と金属膜の膜剥がれ防止のためである。

【0056】次に、図5(d)に示すように、第一及び第二のSiOF膜64a、65a及び第一の絶縁性キャップ膜66aのうち一層目の配線63の上にリソグラフィーによりビアホール67を開口する。続いて、ビアホール67内壁に沿ってグルーレイヤー68として窒化チタン(TiN)をスパッタリングによって形成し、続いてCVD法によってプラグ69となるタンゲステン(W)を成長した。それらのグルーレイヤー68とプラグ69はエッチバックによりビアホール67内に残される。

【0057】この後に、配線形成からキャップ膜形成までの工程をもう1度繰り返して二層目の配線構造を形成する。即ち、第一の絶縁性キャップ膜66aの上に二層目の配線70を成長し、さらに二層目の配線70を覆う第三のSiOF膜71aをECR-CVD装置内で成長し、ついで、その上に第四のSiOF膜72aを平行平板型プラズマCVD装置内で成長する。その後に、第三及び第四のSiOF膜71a、72aをCMPにより研磨して平坦化した後に、第三及び第四のSiOF膜71a、72aを覆うために第二のキャップ膜として第二の絶縁性キャップ膜73aを成長する。

【0058】以上のような多層配線構造において、SiOF膜と絶縁性キャップ膜は層間絶縁として機能する。この第2実施形態では、一層目と二層目の配線63、70の間に形成される層間絶縁膜を第一及び第二のSiOF膜64a、65aから構成したので、第1実施形態に比べて、誘電率を低下させて配線間の寄生容量が減ることになる。

【0059】また、フッ素含有量を減らすことによって、層間絶縁膜となる上側の第二のSiOF膜65aの誘電率を下側の第一のSiOF膜64aの誘電率よりも高くしているので、層間絶縁膜の大気からの吸湿性は低下する。

なお、第一及び第二のSiOF膜64a, 65a自体は、金属との膜剥がれが生じやすい。しかし、第一及び第二のSiOF膜64a, 65aの上に絶縁性キャップ膜66aを形成しているので、第1実施形態と同様に、その第二のSiO<sub>2</sub>膜66aによってグルーレイヤー68の膜剥れは生じない。

(第3の実施の形態) 本発明における第3実施形態を図6、図7に基づいて説明する。

【0060】まず、平行平板型プラズマCVD装置によって膜厚5000ÅのSiO<sub>2</sub>よりなる下地絶縁膜82をシリコン基板81の上に形成した後に、第1実施形態と同じ多層構造を有する一層目の電極83を形成する。一層目の配線83の形成領域には、配線幅が狭く且つ配線間隔が狭い高配線密度領域83aと、その逆の低配線密度領域83bがある。

【0061】続いて、一層目の電極83及び下地絶縁膜82を覆う第一のSiOF膜84を、表3の条件で、ECR-CVD装置によって21000Åの厚さに成長する。その後に、第一のSiOF膜84が吸湿した水分を除去するために、アニール炉で300℃以上の温度で第一のSiOF膜84を加熱するか、膜成長装置内で300℃以上の温度でプレヒートする。本実施形態では後者を30秒間行った。

【0062】次に、図6(b)に示すように、第一のSiOF膜84をCMPにより研磨して一層目の配線83上での厚さが9000Åとなるまで平坦化する。この後に、図6(c)に示すように、SiO<sub>2</sub>よりなる絶縁性キャップ膜85を平行平板プラズマCVD装置によって表2の条件で1000Åの厚さに成長し、これにより第一のSiOF膜84の大気からの吸湿を防止するとともにその後の工程で成長される金属膜の膜剥がれを防止する。

【0063】次に、フォトリソグラフィーにより第一のSiOF膜84及び絶縁性キャップ膜85の一部をエッチングして、一層目の配線に繋がるビアホール86を形成する。そして、図7(a)に示すように、ビアホール86内壁に沿ってグルーレイヤー87として窒化チタン(TiN)をスパッタリングによって成長し、続いてCVD法によってプラグ88となるタンゲステン(W)を成長した。それらのグルーレイヤー87とプラグ88はエッチバックによってビアホール86内に残される。

【0064】この後に、図6(a)～(c)に示す工程をもう1度繰り返して二層目の配線構造を形成する。即ち、第一の絶縁性キャップ膜85の上に二層目の配線90を成長し、さらに二層目の配線90を覆う第二のSiOF膜91を成長し、ついで、第二のSiOF膜91をCMPにより研磨して平坦化した後に、露出した第二のSiOF膜91を覆うためにSiO<sub>2</sub>よりなる第二の絶縁性キャップ膜92を成長する。これにより図7(b)に示すような断面構造が得られる。

【0065】以上で、二層構造配線の形成が終了する

が、その後にさらに三、四層目の配線を形成して多層配線構造としてもよい。以上のような構成の多層配線構造によれば、一層目の配線83をSiOF膜84によって覆った後にそのSiOF膜84を研磨して平坦化し、さらに、その平坦化された面を薄い第一の絶縁性キャップ膜85によって覆うようにしたので、吸湿性が低下し、しかも層間絶縁膜の上に形成される金属の膜剥がれは防止される。

【0066】なお、上記した3つの実施形態において、絶縁性キャップ膜をSiO<sub>2</sub>から形成しているが、Si<sub>3</sub>N<sub>4</sub>から形成してもよい。次に、上記した実施形態の配線容量と動作速度の改善について説明する。

#### 第1～3の実施形態と従来技術との配線容量の比較

配線容量を比較する試料は、一層目の配線と二層目の配線の間にある層間絶縁膜の材料以外の構成を全て同じにした。また、従来技術として図10～図12に示した2つの製造方法によって形成された半導体装置を用いた。

【0067】まず、図10(c)に示した、SiO<sub>2</sub>のみからなる層間絶縁膜を有する試料について配線容量を調べ、その容量を基準容量値C<sub>0</sub>とした。ただし、図10(c)の一層目のSiO<sub>2</sub>膜は表4の条件で成長され、二層目のSiO<sub>2</sub>膜は表2の条件で成長されたものである。そして、第1～第3の実施形態の装置と図12(b)に示した従来装置の配線容量が基準容量値C<sub>0</sub>に対してどのような値(配線容量比)をとるか調べたところ図8(a)に示すような結果が得られた。

【0068】図8(a)では、基準容量C<sub>0</sub>を1とした場合の配線容量比を示しており、配線容量比の値が小さいほど効果的な配線容量の低下がなされている。第2実施形態の容量比が79%と最も低い値を示した。また、第1実施形態の容量比が低く82%であった。本来であれば、一層目と二層目の配線間の層間絶縁膜の大部分が誘電率3.5のSiOFからなっている第3実施形態の容量比が最も低い値を示すと予想したが、実測の値は84%であった。この理由は、図6(c)に示すまでの工程、即ち第一のSiOF膜84を第一の絶縁性キャップ膜85により覆うまでの間に、上面が露出した第一のSiOF膜84が大気中の水分を吸湿したためであり、これは第一の絶縁性キャップ膜85の膜成長前に行ったプレヒートが十分ではなかったからである。

【0069】水分の吸収は配線幅の狭い高密度配線の信頼性を低下させるため、0.25μm以後のデザインルールで作製される半導体装置の懸念材料となる。従って、実施形態のように、キャップ膜を形成するまでの間も、高密度配線領域の配線を覆うSiOF膜を、SiO<sub>2</sub>膜または誘電率3.6以上の吸湿の小さい別のSiOF膜により覆うことが好ましい。

【0070】従来法図11～図12によって作製した場合の配線間の容量比は88%と他に比べて高かった。この理由は、従来技術の欄で述べたように、層間絶縁膜の

大部分がSiO<sub>2</sub>からなっているためである。この程度の容量の低下では、デバイスの動作速度の改善には繋がらない。第1～第3の実施の形態と2つの従来技術例の各々の試料における一層目の配線と二層目の配線の形状の概略は図8(b)に示すようであり、横方向の配線間の距離は4500Åである。また、配線の一層当たりの高さは7600Åである。一層目の配線と二層目の配線の膜厚方向の距離、即ち、層間絶縁膜の膜厚は10000Åである。

【0071】そして、一層目の配線と二層目の配線にパッドを接続し、そのパッドに電圧を印加して配線間容量を測定した。

#### 第1～3の実施形態と従来技術との動作速度の比較

動作速度を比較するための試料は、一層目の配線と二層目の配線の間にある層間絶縁膜の材料以外の構成を全て同じにした。また、従来技術として、図10～図12で示した2つの製造方法によって形成された多層配線構造を有する半導体装置を用いた。

【0072】まず、図10に示した、SiO<sub>2</sub>のみからなる層間絶縁膜を有する試料について動作速度を調べ、その動作速度を基準速度T<sub>0</sub>とした。そして、第1～第3の実施形態の装置と図10(c)、図12(b)に示した2つの従来装置のそれぞれの動作速度を調べたところ、図9(a)に示すような結果が得られた。

【0073】図9(a)では、図10(c)の基準動作速度T<sub>0</sub>に対する他の資料の割合(動作速度比)を示しており、動作速度比の値が小さいほど動作速度が速いことになる。第2の実施形態と同じ方法によって作製した半導体装置の動作速度比が最も低く86%であった。続いて、第一の実施形態による半導体装置の速度比が88%であった。第3の実施形態による半導体装置の速度比は89%と第1及び第2の実施形態に比べて高い値を示した。即ち、配線容量の実験結果について述べたように、第3実施形態で形成された装置では、SiOF膜をSiO<sub>2</sub>膜でキャッピングするまでの間に吸湿が起こり、配線容量が十分低下していないことが理由に考えられる。図11、図12の従来法による半導体装置の動作速度比は94%とあまり改善されていなかった。

【0074】以上のことから、動作速度の測定結果は配線容量の測定結果と相関がとれていることがわかった。なお、動作速度の測定は、図9(b)に示すように、直列に200個のトランジスタを接続した試験回路の途中に上記した一層目と二層目の配線を接続して行われている。これにより試験回路の配線容量の負荷が変わり、その配線容量が大きいと動作速度が遅くなることになる。

#### 【0075】

【発明の効果】以上述べたように本発明によれば、配線を覆うフッ素含有シリコン酸化膜(SiOF膜)をSiO<sub>2</sub>のような絶縁膜で覆った後、SiOF膜の一部が露出するまで絶縁膜を研磨して平坦化した後に、露出したSiOF膜を覆う

SiO<sub>2</sub>のような吸湿防止用の絶縁性キャップ膜を形成したので、SiOF膜は、絶縁膜によって大気からの水分の吸収が妨げられ、しかも低誘電率の層間絶縁膜からの金属膜の剥がれを防止でき、さらに、SiOF膜の直上の絶縁膜を研磨することによって層間絶縁膜に占めるSiOF膜の膜厚の割合を大きくして配線間の寄生容量を効果的に低容量化できる。

【0076】さらに、1つの層間絶縁膜を単層又は複数のSiOF膜から形成し、少なくともその最上層を研磨することにより平坦化するとともに、その上を吸湿防止用の絶縁性キャップ膜により覆うようにしたので、フッ素含有シリコン酸化膜は、絶縁性キャップ膜によって大気からの水分の吸収が妨げられ、低誘電率の層間絶縁膜からの金属膜の剥がれを防止でき、さらに、SiOF膜を研磨することによって高密度配線領域の上の層間絶縁膜に占めるSiOF膜の膜厚を他の領域とほぼ同じ厚さにして配線間の寄生容量の効果的な低容量化を可能にする。

【0077】また、複数のSiOF膜のうちその最上のSiOF膜のフッ素含有量を減らしてその誘電率を高くしたので、防湿用の絶縁性キャップ膜を形成する前の状態でのSiOF膜の吸湿性を抑えて、層間絶縁膜としてのSiOF膜の誘電率の増加を抑制することができる。

#### 【図面の簡単な説明】

【図1】図1は、本発明の実施形態に使用する平行平板型プラズマCVD装置の一例を示す概要構成図である。

【図2】図2は、本発明の実施形態に提供するECR-CVD装置の一例を示す概要構成図である。

【図3】図3は、本発明の第1実施形態の半導体装置の配線構造の製造工程を示す断面図(その1)である。

【図4】図4は、本発明の第1実施形態の半導体装置の配線構造の製造工程を示す断面図(その2)である。

【図5】図5は、本発明の第2実施形態の半導体装置の配線構造の製造工程を示す断面図である。

【図6】図6は、本発明の第3実施形態の半導体装置の配線構造の製造工程を示す断面図(その1)である。

【図7】図7は、本発明の第3実施形態の半導体装置の配線構造の製造工程を示す断面図(その2)である。

【図8】図8(a)は、本発明の第1～第3実施形態の配線構造の試料と2つの従来例の試料との配線容量の大きさを比較するための実験結果であり、図8(b)は、それらの試料の共通した配線構造を示す図である。

【図9】図9(a)は、本発明の第1～第3実施形態の配線構造の試料と2つの従来例の試料との動作速度を比較するための実験結果であり、図9(b)は、その試験に用いる回路図である。

【図10】第1の従来例による半導体装置の配線構造の製造工程を示す断面図である。

【図11】第2の従来例による半導体装置の配線構造の製造工程を示す断面図(その1)である。

【図12】第2の従来例による半導体装置の配線構造の

19

製造工程を示す断面図（その2）である。

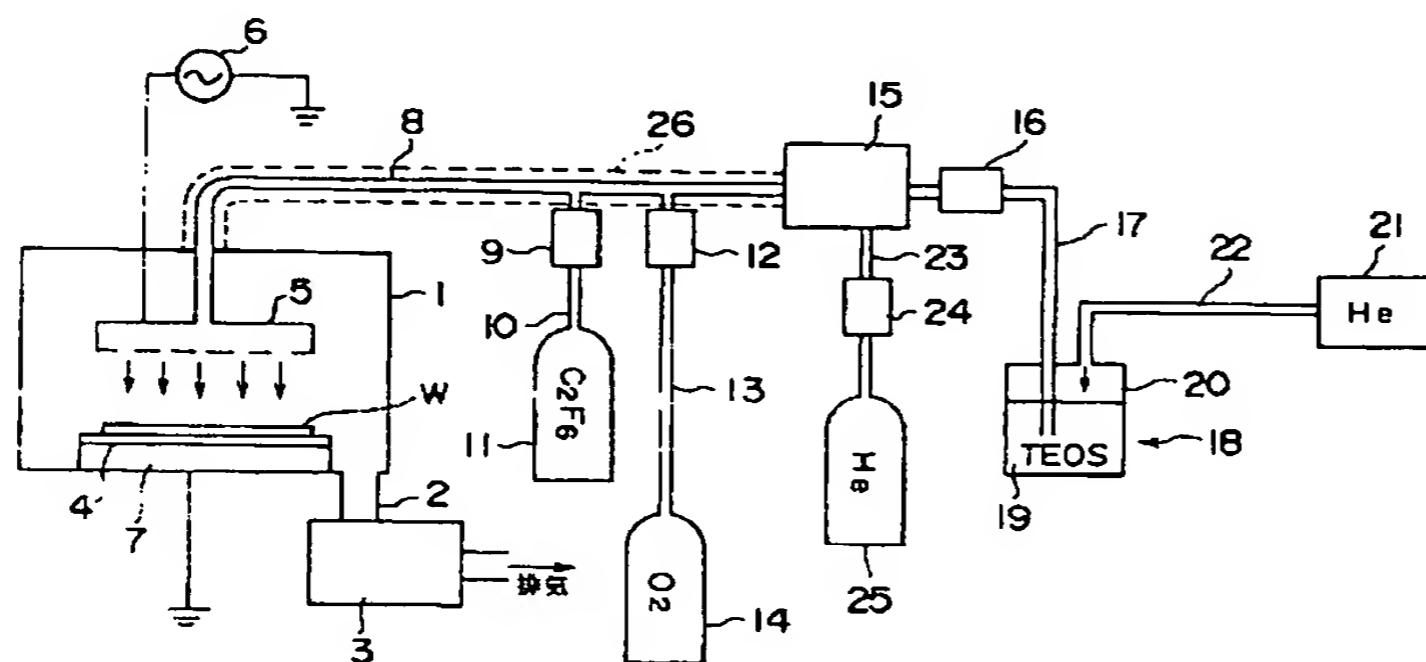
【符号の説明】

61…シリコン基板（半導体基板）、62…下地絶縁膜、63…一層目の配線、63a…高密度配線領域、63b…低密度配線領域、64…第一のSiOF膜、65…第一の絶縁膜、66…第一の絶縁性キャップ膜、64a…第一のSiOF膜、65a…第二のSiOF膜、66a…第一の絶縁性キャップ膜、67…ビアホール、68…グルーレイヤー、69…プラグ、70…二層目の配線、71…第

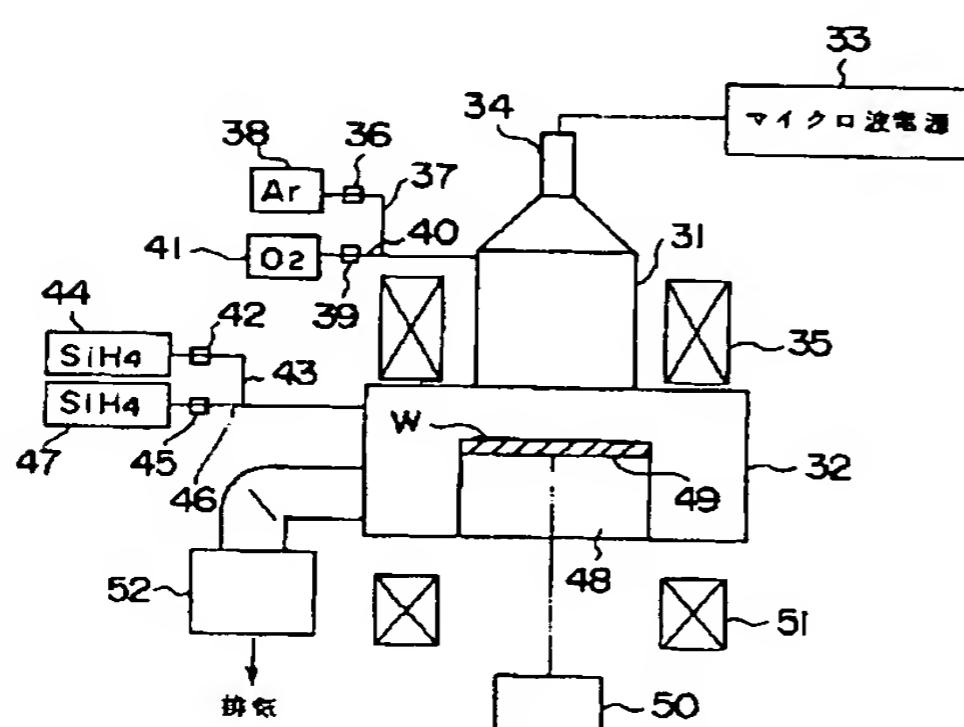
20

二のSiOF膜、72…第二の絶縁膜、73…第二の絶縁性キャップ膜、71a…第三のSiOF膜、72a…第四のSiOF膜、73a…第二の絶縁性キャップ膜、81…シリコン基板（半導体基板）、82…下地絶縁膜、83…一層目の配線、83a…高密度配線領域、83b…低密度配線領域、84…第一のSiOF膜、85…第一の絶縁性キャップ膜、86…ビアホール、87…グルーレイヤー、88…プラグ、90…二層目の配線、91…第二のSiOF膜、92…第二の絶縁性キャップ膜。

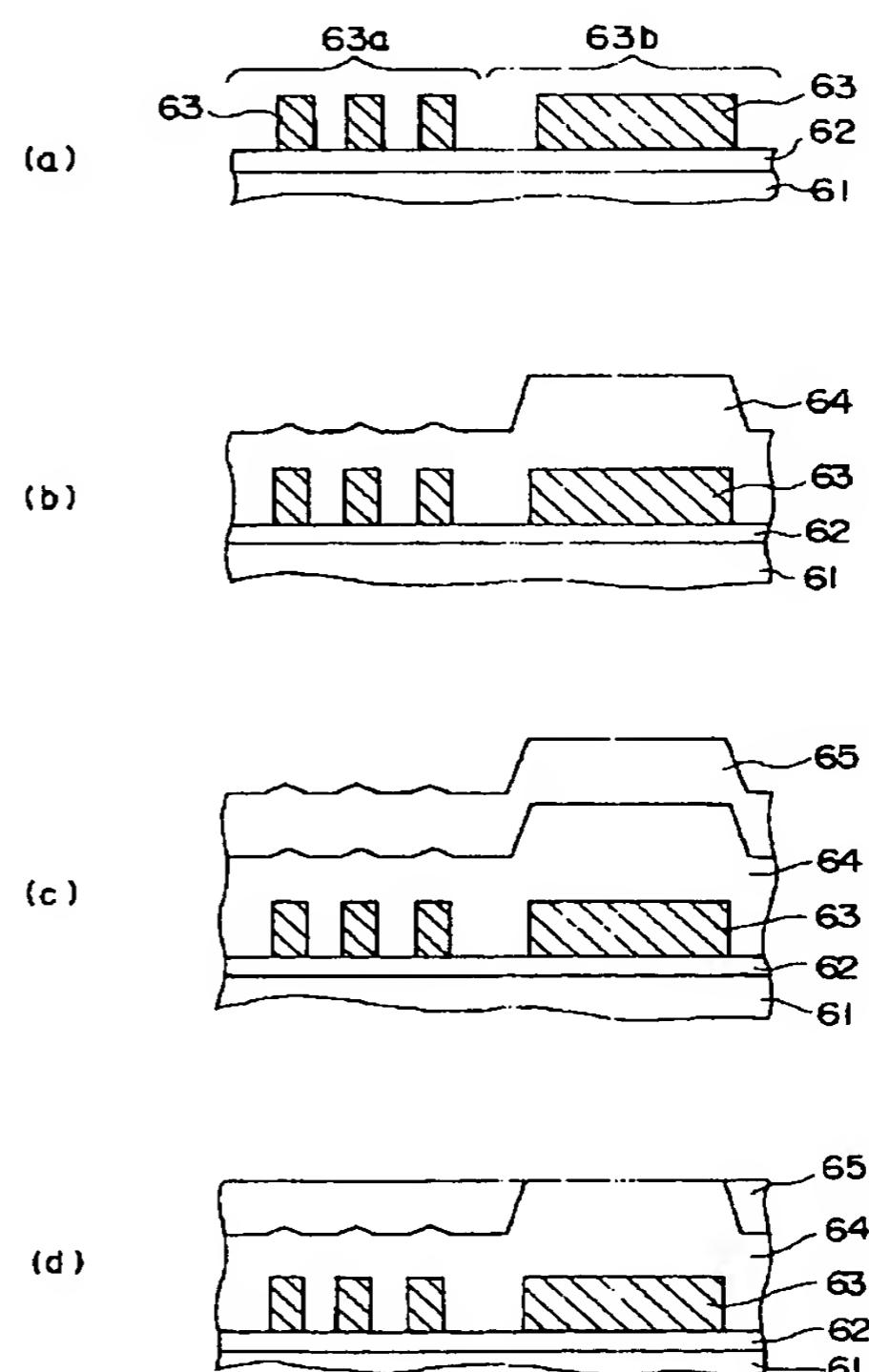
【図1】



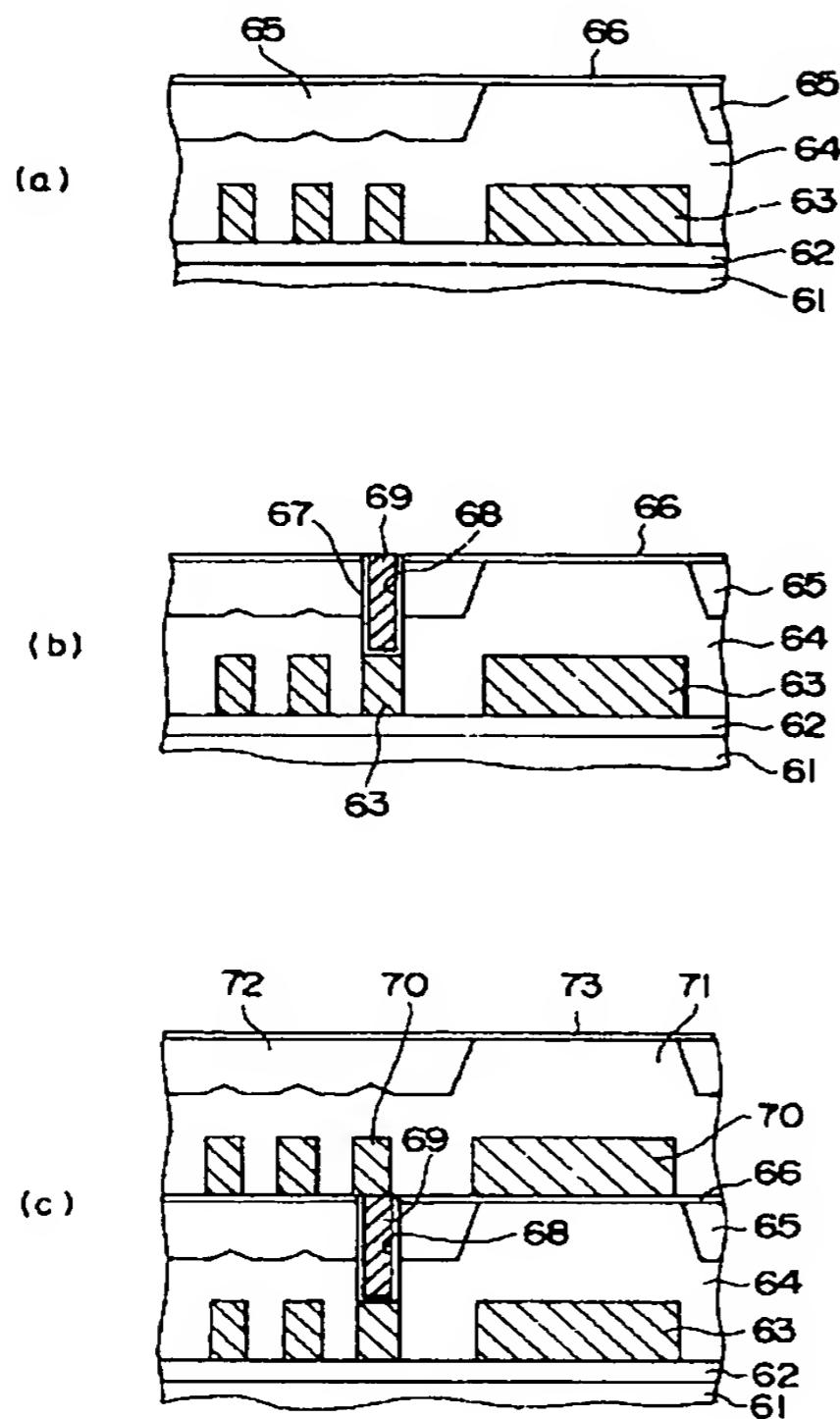
【図2】



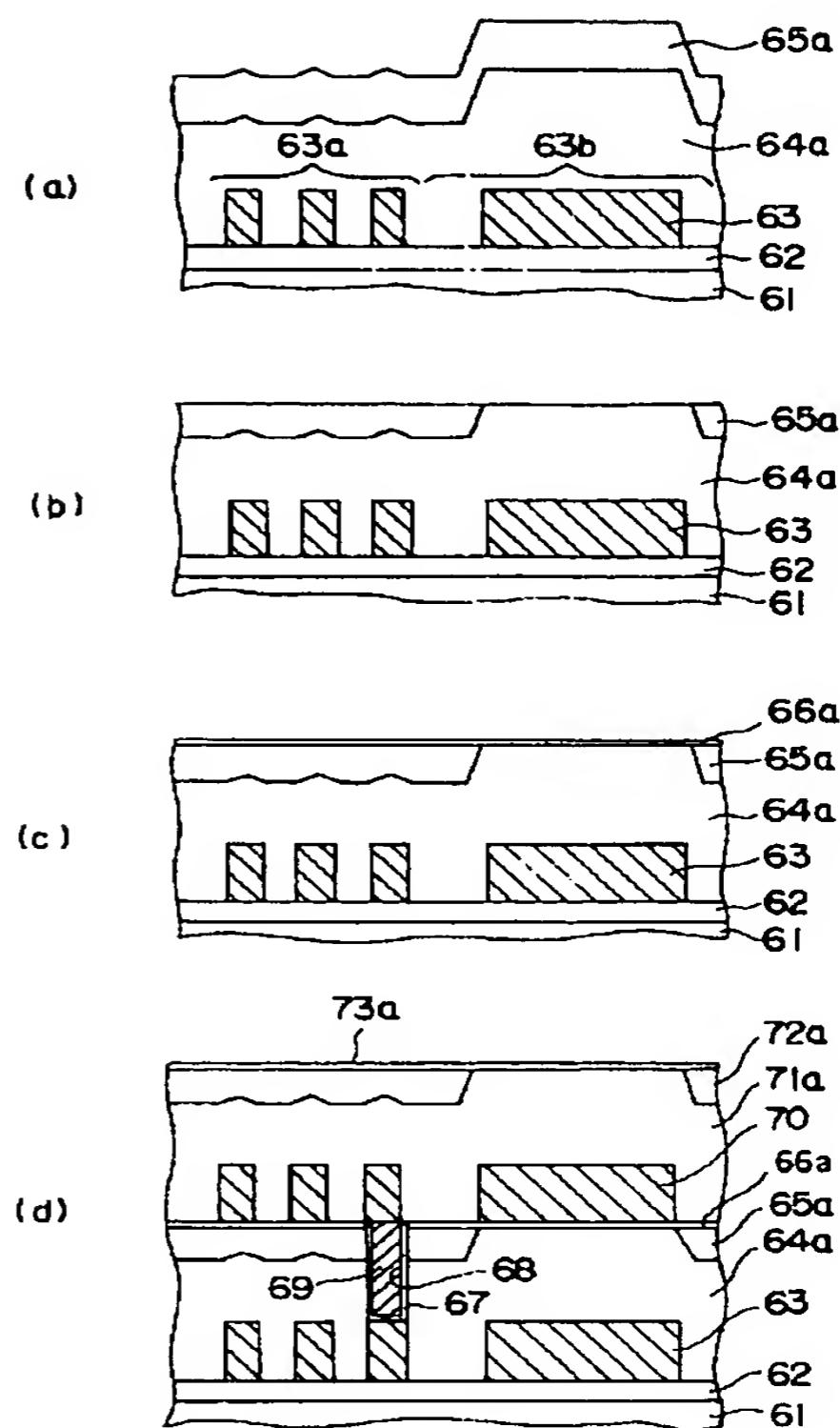
【図3】



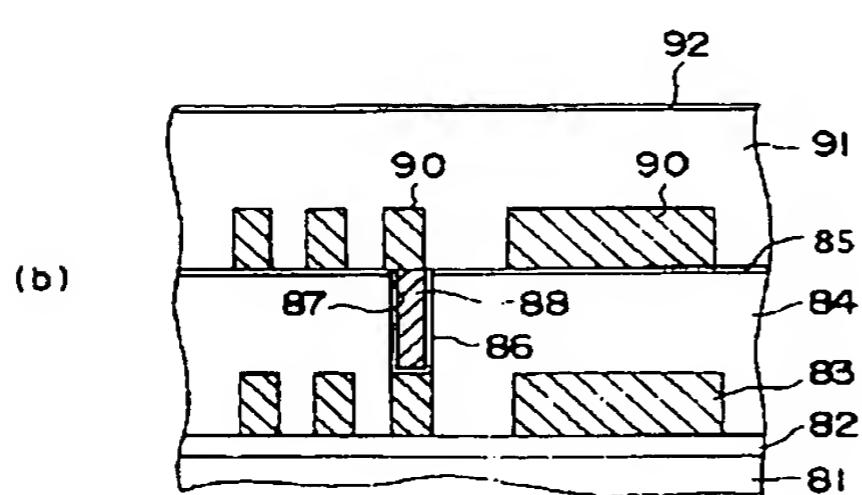
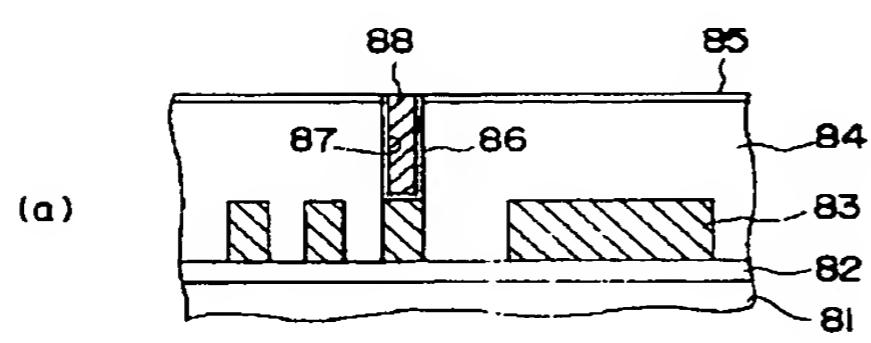
【図4】



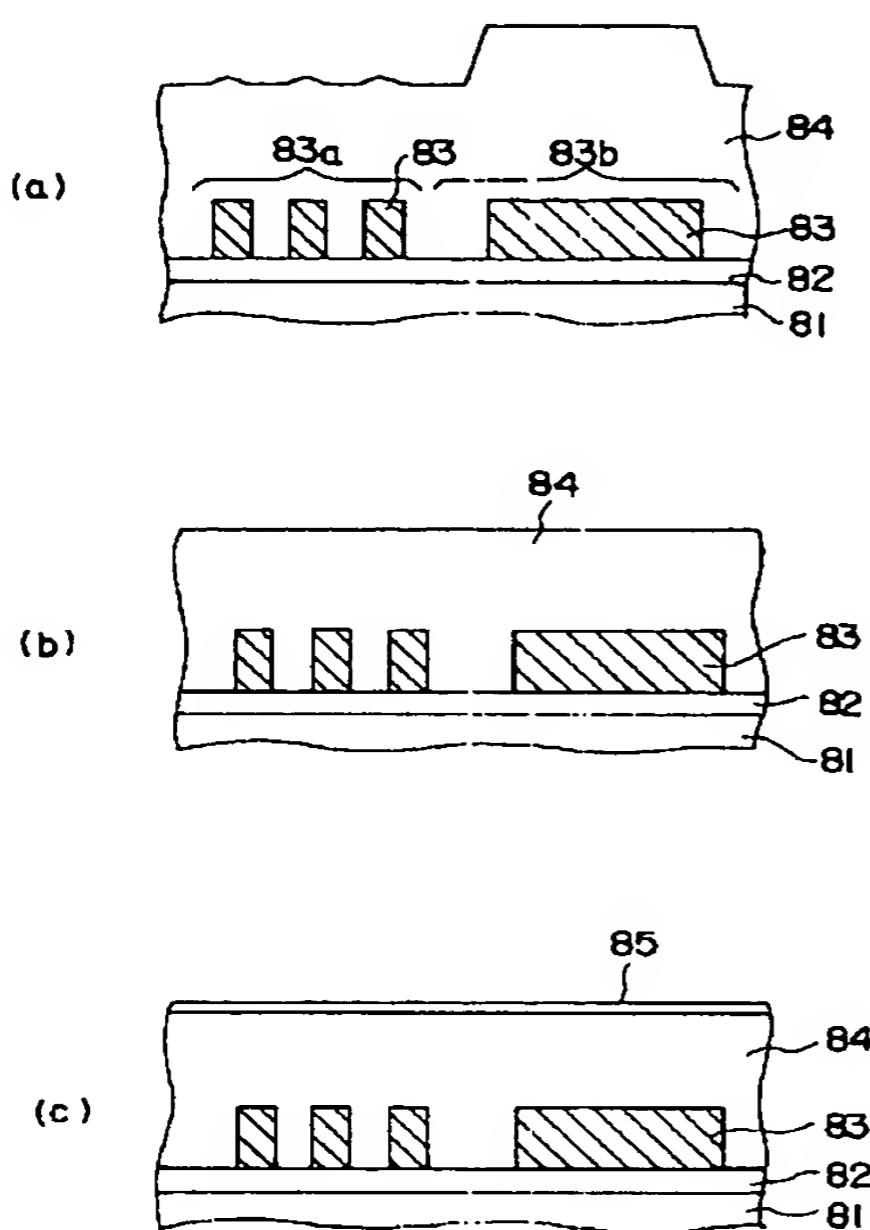
【図5】



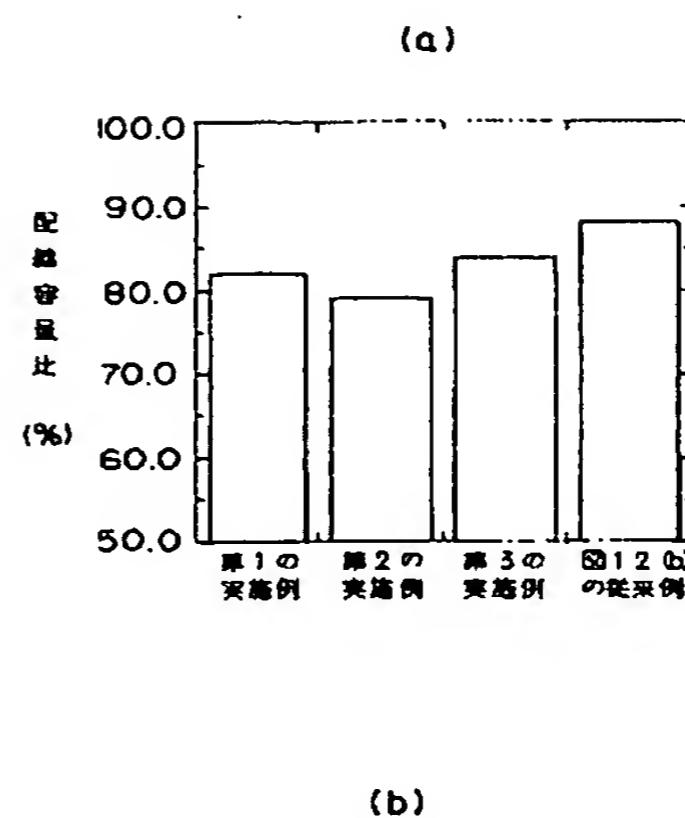
【図7】



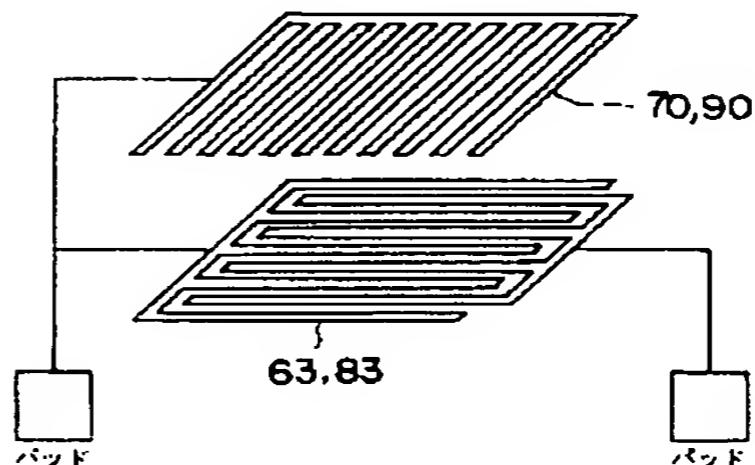
【図6】



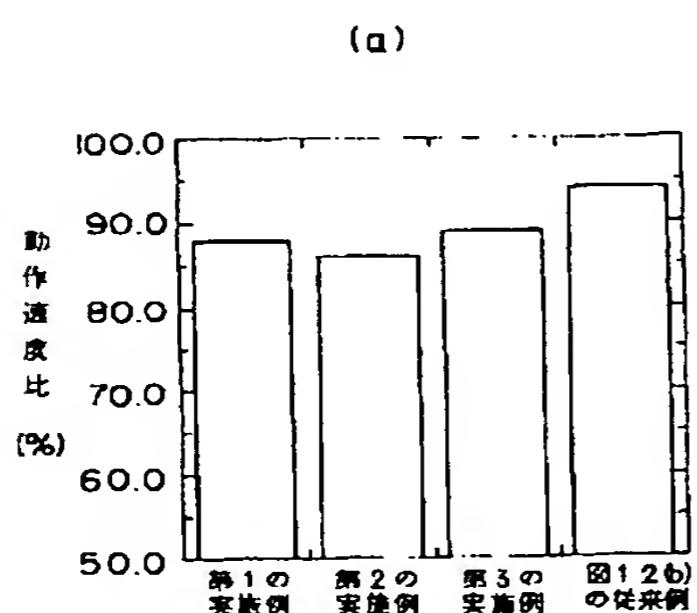
【図8】



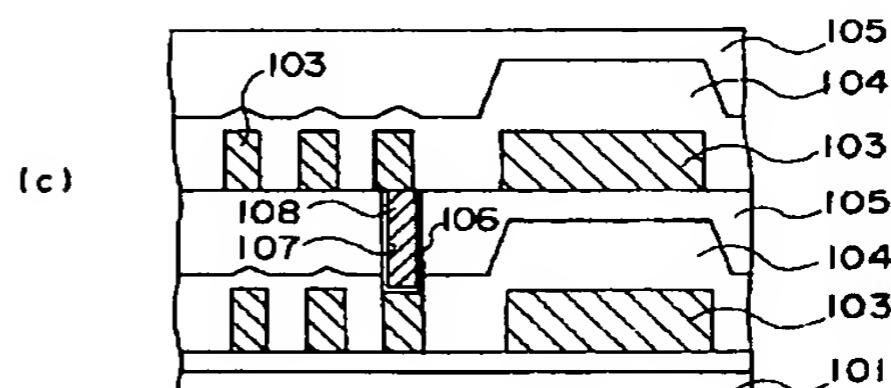
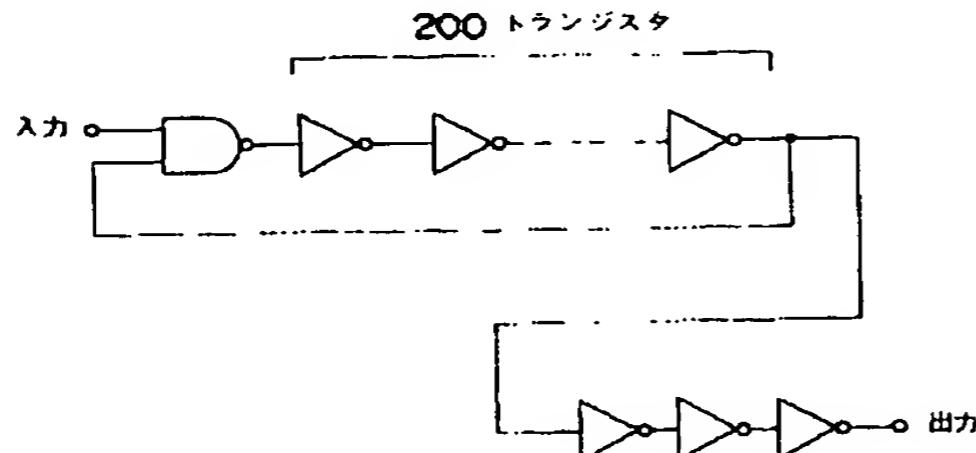
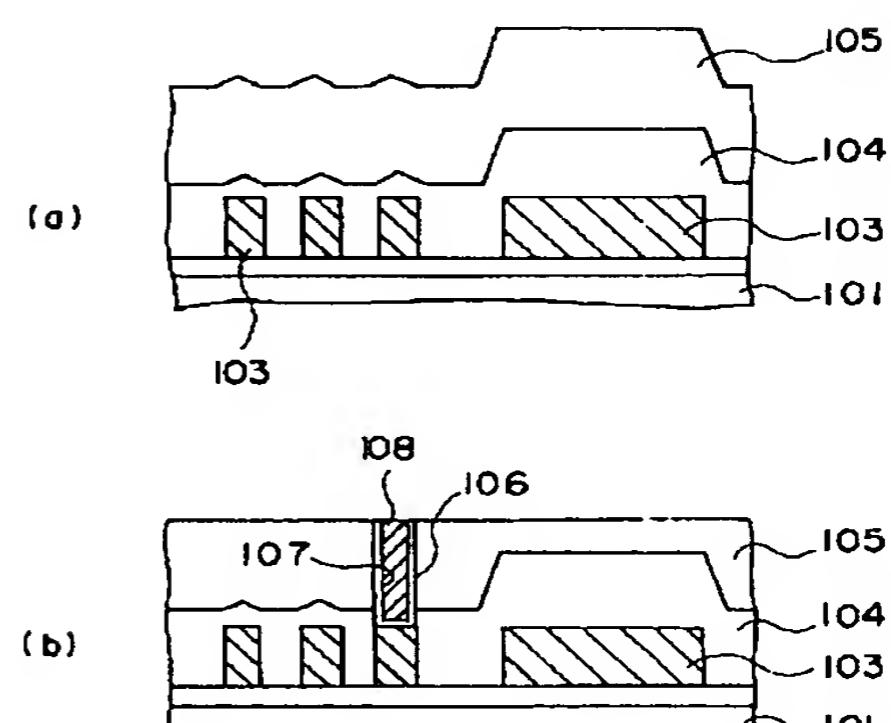
(b)



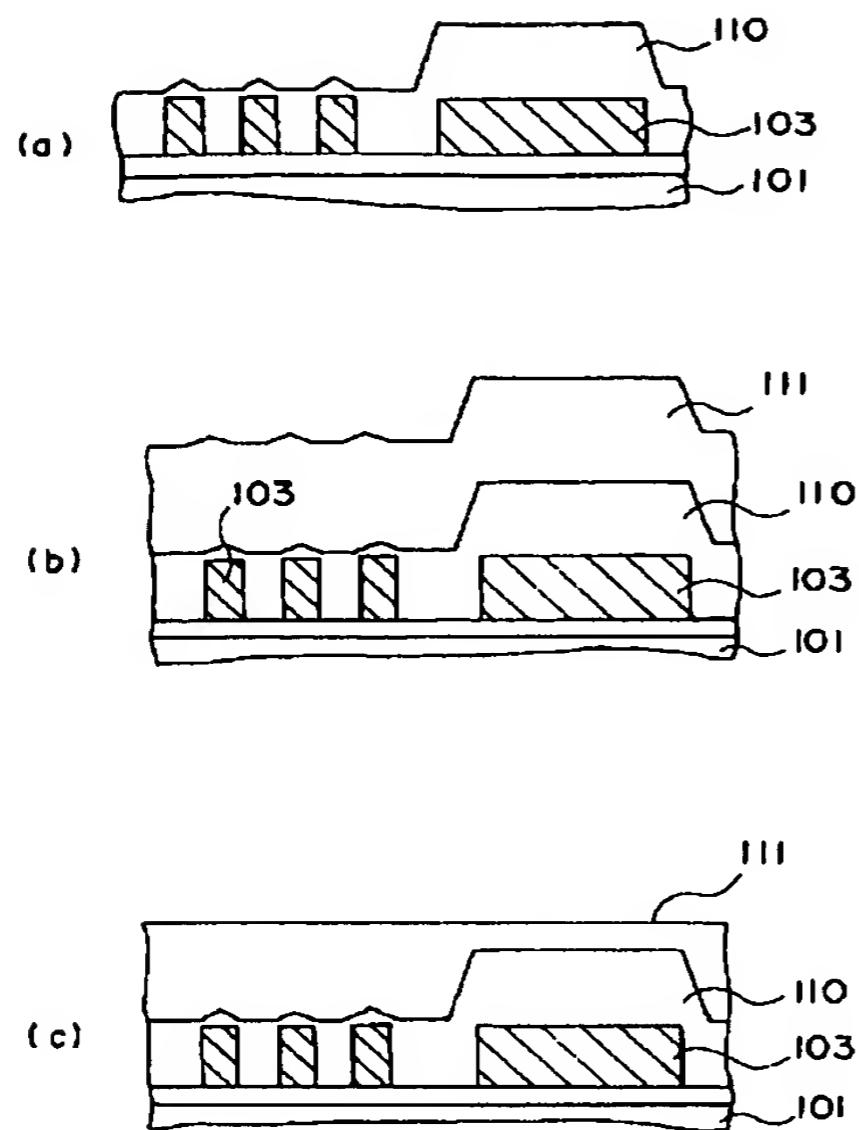
【図9】



【図10】



【図11】



【図12】

